



GR551x勘误手册

版本： 1.1

发布日期： 2021-09-09

版权所有 © 2021 深圳市汇顶科技股份有限公司。保留一切权利。

非经本公司书面许可，任何单位和个人不得对本手册内的任何部分擅自摘抄、复制、修改、翻译、传播，或将其全部或部分用于商业用途。

商标声明

GOODIX 和其他汇顶商标均为深圳市汇顶科技股份有限公司的商标。本文档提及的其他所有商标或注册商标，由各自的所有人持有。

免责声明

本文档中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

深圳市汇顶科技股份有限公司（以下简称“GOODIX”）对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对其使用情况、质量、性能、适销性或特定用途的适用性的声明或担保。GOODIX对因这些信息及使用这些信息而引起的后果不承担任何责任。

未经GOODIX书面批准，不得将GOODIX的产品用作生命维持系统中的关键组件。在GOODIX知识产权保护下，不得暗或以其他方式转让任何许可证。

深圳市汇顶科技股份有限公司

总部地址：深圳市福田区腾飞工业大厦B座2层、13层

电话：+86-755-33338828 传真：+86-755-33338099

网址：www.goodix.com

前言

编写目的

本文档描述GR551x系列芯片的使用限制场景和对应的解决方案，以帮助用户更充分地了解和更好地使用GR551x系列产品。

读者对象

本文适用于以下读者：

- GR551x用户
- GR551x开发人员
- GR551x测试人员
- 开发爱好者

版本说明

本文档为第2次发布，对应的产品系列为GR551x。

修订记录

版本	日期	修订内容
1.0	2021-06-01	首次发布
1.1	2021-09-09	<ul style="list-style-type: none">• “产生条件”修改为“问题原因”• 优化“PMU”、“ADC”、“Calendar”、“SPI”和“QSPI”章节描述

目录

前言.....	I
1 GR551x使用限制描述.....	1
1.1 PMU.....	1
1.1.1 GR5515I0ND和GR5515I0NDA外置Flash方案中，睡眠功耗异常.....	1
1.2 ADC.....	1
1.2.1 使用内部参考源时，不合适的芯片供电电压导致ADC测量误差较大.....	1
1.3 Calendar.....	2
1.3.1 Calendar部分功能异常.....	2
1.4 SPI.....	2
1.4.1 HAL层SPI使用硬件控制CS引脚时，速率不能达到32 MHz.....	2
1.5 QSPI.....	3
1.5.1 QSPI 32 MHz速率传输异常.....	3
1.5.2 QSPI非单线方式下，Mode1和Mode3模式无法使用.....	4

1 GR551x使用限制描述

为了更好的使用GR551x系列芯片，本文将介绍GR551x在使用中因芯片设计限制出现的问题，分析产生条件和使用影响，并推荐相应的解决方案，便于用户在这些限制条件下，充分发挥GR551x产品性能。

1.1 PMU

1.1.1 GR5515I0ND和GR5515I0NDA外置Flash方案中，睡眠功耗异常

- 问题描述

在GR5515I0ND和GR5515I0NDA外置Flash方案中，使用芯片内部IO_LDO给外置Flash供电，当VBATL和IO_LDO之间的压降较小时（ $<100\text{ mV}$ ），会出现漏电导致功耗偏高的问题。

- 问题原因

当VBATL和IO_LDO之间的压降较小时（ $<100\text{ mV}$ ），由于芯片内部引脚状态设计问题，会出现漏电。

- 问题影响

芯片睡眠期间功耗增加。

- 推荐方案

当外置Flash要求的供电电压与VBATL接近时（压差 $<100\text{ mV}$ ），硬件设计电路必须将VIO_LDO_OUT引脚连接到VBATL，使用VBATL给Flash供电。如下为两种应用场景的解决方案示例：

- VBATL为3.3V，GR5515I0ND和GR5515I0NDA外置Flash的供电电压要求为3.3V时，硬件设计电路需将VIO_LDO_OUT连接到VBATL，不能使用IO_LDO内部供电的方式。
- VBATL为3.3V，GR5515I0NDA外置Flash的供电电压要求为1.8V时，可以使用IO_LDO内部供电的方式。

说明:

GR551x SDK 1.6.06及后续版本均支持该推荐方案。

1.2 ADC

1.2.1 使用内部参考源时，不合适的芯片供电电压导致ADC测量误差较大

- 问题描述

选择ADC的内部参考源为1P2、1P6档位时，出现ADC测量误差偏大，导致无法满足测量需求。

- 问题原因

芯片内部模块的最高电压为VBATL，如果ADC选择的内部参考电压高于VBATL，会因为芯片无法提供准确的参考电压，导致ADC无法正常工作。

- 问题影响

供电电压未达到要求，导致参考电压不准确，继而ADC结果误差较大。

- 推荐方案

不同参考电压值REF_VALUE对芯片供电电压有一定的要求。为了获取最佳的ADC性能，需保证芯片供电电压的参考范围如下表所示，以减小ADC测量误差。

表 1-1 不同参考源档位对应的芯片供电电压参考范围

参考源档位	芯片供电电压范围
0P8V	2.1 V ~ 3.8 V
1P2V	2.6 V ~ 3.8 V
1P6V	3.2 V ~ 3.8 V

1.3 Calendar

1.3.1 Calendar部分功能异常

- 问题描述

采用内置RC时钟作为系统慢速时钟时，Calendar校准无法执行，同时Calendar模块无法正常使用。

- 问题原因

Calendar硬件模块设计上，不支持内置RNG时钟作为计数时钟源。

- 问题影响

因无时钟输入，Calendar校准无法执行，且Calendar模块无法正常使用。

- 推荐方案

如果在`custom_config.h`中选择内置RC作为低速时钟，`app_rtc`的Tick功能和Alarm功能无法正常使用；如果选择32K RTC作为低速时钟，则没有这个限制。

说明:

GR551x SDK 1.6.06及后续版本均支持该推荐方案。

1.4 SPI

1.4.1 HAL层SPI使用硬件控制CS引脚时，速率不能达到32 MHz

- 问题描述

HAL层SPI模块使用DMA方式传输数据时，若通过硬件控制CS引脚，数据传输速率不能达到32 MHz。

- 问题原因

IP设计限制，当系统内部出现总线资源竞争时，可能会出现SPI TX FIFO数据消耗至空，SPI控制器会自动释放CS信号，导致再次装填数据到SPI TX FIFO时，SPI线上传输时序混乱的情况。

- 问题影响

数据传输错误。

- 推荐方案

不使用硬件控制CS，而是先通过PIN_MUX将CS引脚配置为普通GPIO，然后通过软件驱动该引脚实现片选功能（即软件控制片选方式）。此方案下，在DMA方式下用32-bit数据位宽操作SPI，数据传输速率可达到32 MHz。

📖 说明:

GR551x 1.6.06 SDK及后续版本，在APP驱动层实现了该软件控制片选方式。

1.5 QSPI

1.5.1 QSPI 32 MHz速率传输异常

- 问题描述

采用Polling/Interrupt方式，QSPI在32 MHz速率下无法正确传输数据。

采用DMA方式，QSPI在32 MHz速率下进行8-bit/16-bit数据位宽传输时无法正确传输数据。

- 问题原因

IP设计限制。在中断或DMA模式下，发生MCU处理效率低或系统内部出现总线资源竞争现象时，出现QSPI TX FIFO数据消耗为空且无法及时填入新数据，QSPI控制器会自动释放CS型号，导致再次装填数据到QSPI TX FIFO时，QSPI线上传输时序混乱。在DMA模式的接收过程中，当系统内部总线资源竞争使得QSPI RX FIFO数据无法及时被DMA搬运至SRAM，QSPI控制器出现RX FIFO Overflow，继而出现接收数据错误。

- 问题影响

传输数据异常，无法获得正确的数据。

- 推荐方案

为了确保QSPI数据传输的稳定性，需要选择DMA传输方式，并根据不同的数据位宽，选择合适的传输速率，如下表所示。

表 1-2 不同数据位宽下的传输速率

数据位宽	传输速率	QSPI在DMA下传输数据
8 bit	8 MHz	成功
16 bit	16 MHz	成功
32 bit	32 MHz	成功

📖 说明:

因GR551x QSPI传输为大端方式，GR551x系统总线采用小端方式，会存在数据倒序现象，需在应用层对数据进行处理。

1.5.2 QSPI非单线方式下，Mode1和Mode3模式无法使用

- 问题描述
使用QSPI时，非单线方式（Dual或Quad方式等）下无法使用Mode1和Mode3。
- 问题原因
IP设计限制，在Dual和Quad模式下，无法支持QSPI Mode1和Mode3传输方式。
- 问题影响
传输数据异常，无法获得正确的数据。
- 推荐方案
使用非单线方式（Dual或Quad方式）传输数据时，推荐使用Mode0或Mode2。

说明:

Mode0 ~ Mode3为SPI的4种标准模式，用于配置不同的时钟沿和相位。
